

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-229473

(43)Date of publication of application : 14.08.2002

(51)Int.Cl.

G09F 9/00
 G02F 1/1368
 G09F 9/30
 H01L 21/205
 H01L 27/12
 H01L 29/786
 H01L 21/336

(21)Application number : 2001-024172

(71)Applicant : CANON INC

(22)Date of filing : 31.01.2001

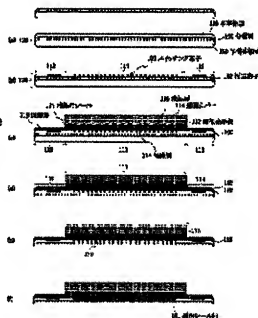
(72)Inventor : YONEHARA TAKAO
 SAKAGUCHI KIYOBUMI

(54) MANUFACTURING METHOD FOR DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which is made thin and which is used in a display area and a peripheral circuit area, and to provide its manufacturing method.

SOLUTION: A manufacturing method of a display device which has a process for preparing a member 120 having the semiconductor film 110 provided with a first area 111 which has switching elements 109 and a second area 112 which has peripheral circuits 108 on a separation layer 100, a process for forming a picture display part 113 on the first area 111 and a separation process for separating the first area and the second area from the member, is provided.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-229473

(P2002-229473A)

(43) 公開日 平成14年8月14日 (2002.8.14)

(51) Int. Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
G 0 9 F 9/00	3 4 8	G 0 9 F 9/00	3 4 8 C 2 H 0 9 2
G 0 2 F 1/1368		G 0 2 F 1/1368	5 C 0 9 4
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 F 0 4 5
H 0 1 L 21/205		H 0 1 L 21/205	5 F 1 1 0
27/12		27/12	B 5 G 4 3 5

審査請求 未請求 請求項の数 8 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特開2001-24172 (P2001-24172)

(22) 出願日 平成13年1月31日 (2001.1.31)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 米原 隆夫

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 坂口 清文

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100090538

弁理士 西山 恵三 (外1名)

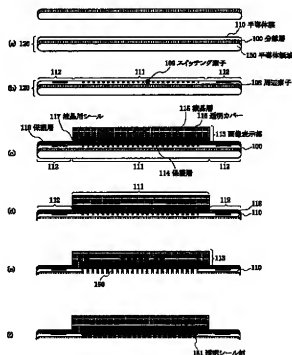
最終頁に続く

(54) 【発明の名称】 表示装置の製造方法

(57) 【要約】

【課題】 表示領域及び周辺回路領域に用いられる薄膜化された半導体装置、及びその製造方法を提供する。

【解決手段】 スイッチング素子109を有する第1の領域111、及び周辺回路108を有する第2の領域112を備えた半導体膜110を分離層100上に有する部材120を用意する工程、該第1の領域111上に画像表示部113を形成する工程、及び該第1及び第2の領域を該部材から分離する分離工程を有する表示装置の製造方法。



【特許請求の範囲】

【請求項1】 スイッチング素子を有する第1の領域、及び周辺回路を有する第2の領域を備えた半導体膜を分離層上に有する部材を用意する工程、該第1の領域上に画像表示部を形成する工程、及び該第1及び第2の領域を該部材から分離する分離工程を有する表示装置の製造方法。

【請求項2】 前記部材は、半導体基板表面に多孔質層を形成し、且つ該多孔質層表面に前記半導体膜を形成した後、前記第1及び第2の領域を形成して得られる請求項1記載の表示装置の製造方法。

【請求項3】 前記部材は、半導体基板表面に前記第1及び第2の領域を形成した後、該表面側から所定深さにイオンを注入して前記分離層を形成して得られる請求項1記載の表示装置の製造方法。

【請求項4】 前記半導体基板は、単結晶シリコン基板、あるいは化合物半導体基板である請求項2あるいは3記載の表示装置の製造方法。

【請求項5】 前記分離工程は、液体あるいは気体からなる前記流体を前記分離層側面あるいは側面付近に噴きつけることにより行われる請求項1記載の表示装置の製造方法。

【請求項6】 前記分離工程は、静圧下で行われる請求項1記載の表示装置の製造方法。

【請求項7】 前記部材から前記第1及び第2の領域が分離された後に残る残留部材を用いて、前記部材を再度作製する請求項1記載の表示装置の製造方法。

【請求項8】 スイッチング素子を有する第1の領域、及び周辺回路を有する第2の領域を備えた半導体膜を分離層上に有し、且つ該第1の領域上には画像表示部を備えていることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、表示装置に関し、特に表示部と周辺回路部とが同一の半導体薄膜に形成された液晶表示装置に関する。

【0002】

【従来の技術】 液晶表示装置は、その高駆動能力化のために表示領域及び周辺領域に用いられる半導体として単結晶シリコンをベースに用いようとする動きがある。すなわち、駆動素子やスイッチング素子等を単結晶シリコン基板表面に作製しようとする試みである。その一例を図4に示す。

【0003】 図4中、1は単結晶シリコン基板、6は1000Å絶縁層、7は遮光層、8は絶縁層、12は反射電極、13は画素電極、14は絶縁層、15は共通透明電極、20はスイッチング素子等、21は周辺回路111は表示領域、112は周辺領域、51はシールド材である。スイッチング素子等の詳細は省略しているが、単結晶シリコン基板をベースに当該スイッチング素子や周辺回路を形成し、駆動能力を高

めている。

【0004】 ここで、駆動素子等の活性層として単結晶シリコン基板を用いる場合、駆動素子等からの発熱により駆動能力が低下する場合は考えられる。また、周辺回路の作製に、半導体装置の微細化・高集積化技術を多様する場合も、それらの回路からの発熱密度が飛躍的に大きくなることが懸念される。

【0005】 このような問題に対して、基板の裏面52側からバックグラインダーで半導体領域55を研削し半導体装置の薄層化する技術がある。

【0006】

【発明が解決しようとする課題】 しかしながら、バックグラインダーで研削する場合には、基板の殆んどを削ることになり、限りある資源の有効活用という面からは好ましくないものではない。また、研削した場合にも、凡そ数百μm程度にしか薄層化できず、十分な発熱対策にはならない。

【0007】 本発明の目的は上記問題点に鑑み、表示領域及び周辺回路領域に用いられる薄層化された半導体装置、及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明に係る表示装置の製造方法は、スイッチング素子を有する第1の領域、及び周辺回路を有する第2の領域を備えた半導体膜を分離層上に有する部材を用意する工程、該第1の領域上に画像表示部を形成する工程、及び該第1及び第2の領域を該部材から分離する分離工程を有することを特徴とする。

【0009】 また、本発明に係る表示装置は、スイッチング素子を有する第1の領域、及び周辺回路を有する第2の領域を備えた半導体膜を分離層上に有し、且つ該第1の領域上には画像表示部を備えていることを特徴とする。

【0010】

【発明の実施の形態】 本発明の第1の実施形態につき図1を用いて説明する。

【0011】 まず、図1(a)に示すように、半導体領域130上に分離層100を介して半導体膜110を有する部材120を用意する。その後、上記半導体膜110の表示領域111にスイッチング素子109を、そして周辺領域112に周辺回路素子108を形成する。(図1(b))。ここで、スイッチング素子としては、MOSトランジスタを用いることができる。周辺回路素子としては、例えばマイクロプロセッサやメモリである。論理回路、データ信号プロセッシング、メモリー、高周波、電源、高周圧、アナログ、音源、発振回路、光導波路、微小機械、生物素子、各種センサー回路である。

【0012】 次に、画像表示部113を前記表示領域111上に形成する(図1(c))。例えば、画像表示部は、絶縁膜などの保護層114、TNなどの液晶層115、透明カバー11

6、液晶用シール117を含み構成される。なお、図中118は、SiO₂などの保護層である。

【0013】その後、分離層100で部材120から半導体膜110を分離する。分離方法については後述する。なお、画像表示部113を形成する前に分離工程を行ない、その後当該表示部を形成してもよい。

【0014】こうして、半導体膜110に形成された表示領域111及び周辺領域112を薄層化することができる。図3に、上記方法により作製した透過型のライトバルブを上面から見た図を示す。図中、600〜503は駆動用ドライバ回路、504はメモリ、505はワイヤレス通信回路、506はプロセッサであるが、勿論これらの回路に限定されるものではない。ここでは、表示装置として液晶を用いる場合を示したが、液晶表示装置に限らず、DMD、有機EL、ペーパライクディスプレイ（たとえば特開平11-316397号公報に記載されている）、プラズマディスプレイなどを用いることもできる。

【0015】なお、分離層が多孔質構造を有している時には、半導体膜110に残留する分離層はそのままにしておくこともできる。この場合、多孔質構造は高抵抗であるので各素子間のリーク電流を抑制することができる。また、分離層がゲットリングサイトになり、プロセス中の金属汚染耐性が増す。勿論、必要に応じて半導体膜110に残留する分離層100をエッチングや研磨によって除去してもよい。

【0016】上述の工程により作製されたライトバルブを反射型の表示装置として用いる場合は特に必要ないが、透過型として用いる場合には更に下記の工程を行う必要がある。すなわち、図1（e）に示すように絵素部の半導体膜110を分離層100側からエッチング等により除去し（くり貫き）、光が透過するようにする。くり貫かれた部分150には、必要に応じて、透明樹脂やガラスなどの透明シール材151で封入することができる（図1（f））。

【0017】なお、分離後（場合によっては残留分離層除去後）は、ガラス基板や、シリコン基板、あるいは直接ヒートシンクに貼り付けることもできる。

【0018】次に、本発明の第2の実施形態について図2を用いて説明する。上述の実施形態と異なる箇所は、画像表示部113の形成に先だって、表示領域111における半導体膜110の絵素部150をくり貫くことである。

【0019】図2（a）に示すように、半導体領域130上に分離層100を介して半導体膜110を有する部材120を用意する。そして、図2（b）に示すように表示領域111にはスイッチング素子109を、周辺領域112には周辺素子108を形成する。

【0020】その後、表示領域111の内絵素部150をエッチング等により除去し（くり貫き）、当該くり貫き部分に透明シール材151を充填する。次に、画像表示部113を表示領域111に形成する。詳細は上述の実施形態1と同

様である。

【0021】図2（e）に示すように、分離層100で半導体膜110を分離する。こうして、半導体膜110に形成された表示領域111及び周辺領域112を薄層化することができる。なお、図2（f）に示すように、残留する分離層100を除去してもよい。

【0022】以下、上述の実施形態1及び2における、分離層、半導体膜、部材、分離方法について説明する。

【0023】分離層100は、具体的には単結晶シリコンウエハ表面の陽極化成により形成される多孔質シリコン層や、単結晶シリコンウエハの所望の深さに水素、ヘリウム、窒素、希ガス等のイオンを注入して形成されるイオン注入層である。

【0024】前者の場合には、部材120を形成するには、多孔質シリコン層上にCVD法等を用いて単結晶シリコンなどの非多孔質薄膜を成長させる。また、分離層100を多孔度の異なる複数の層で構成することもできる。例えば、半導体領域130側から高多孔度層、低多孔度層と2層の構成にしてもよいし、あるいは半導体領域130側から低多孔度層、高多孔度層、低多孔度層と3層構成にすることもできる。高多孔度層の場合の多孔度は、10%から90%、低多孔度層の場合の多孔度は、0%から70%の範囲で利用可能である。多孔度の異なる複数の層の形成は、陽極化成の際の電流密度を変えたり、化成溶液の種類あるいは濃度を変えることで実現できる。

【0025】陽極化成により多孔質層を形成した場合に、該多孔質層上へ半導体膜110を成長させるに先だって、多孔質の孔の内壁に酸化膜あるいは酸化膜などの保護膜を設ける保護膜形成工程、や水素を含む雰囲気中での熱処理工程を行うのがよい。勿論、上記保護膜形成工程後、前記熱処理工程を行うことも好ましい。

【0026】更に、CVD法により半導体膜110を成長させる場合には、所定の厚み（例えば10nm）までは、20nm/min. 以下の低成長速度で行うのがよい。

【0027】また、半導体膜110としては、非多孔質単結晶シリコン薄膜や、GaAs、InP、GaN等の化合物半導体膜を用いることができる。半導体膜が単結晶シリコンの場合に原料ガスとして、SiH₂Cl₂、SiHCl₃、SiCl₄、SiH₄、あるいはHClガスを添加してもよい。形成方法はCVD法に限らず、MBC法、スパッタ法等も可能である。

【0028】なお、多孔質層を水素を含む雰囲気中での第1の熱処理した後、当該第1の熱処理温度よりも高い温度で第2の熱処理することも好ましいものである。第1の熱処理温度としては、800℃〜1000℃、第2の熱処理温度として、900℃〜融点の範囲で利用可能。これにより多孔質層表面の孔の封止が十分行われるのである。例えば、第1の熱処理温度を950℃で行い、第2の熱処理を1100℃で行うことができる。

【0029】後者のイオン注入を用いて分離層を形成する場合には、周辺素子108やスイッチング素子109を半導

体膜110に形成した後に、所望の規定深さにイオン注入を行うことが望ましい。素子等の形成には通常800℃程度のプロセス温度が必要であるが、水素イオン等が注入された分離層は400～600℃で微小気泡（マイクロバブル、マイクロキャピティ）が凝集し、分離が生じたり、水素イオン等が拡散したりするからである。もちろん、かかる現象が生じないようにすれば、イオン注入工程後、周辺素子、スイッチング素子を形成してもよい。

【0030】また、部材120としては、GZ法、MGZ法、あるいはFZ法などで作製された単結晶シリコンウエハのみならず、基板表面が水素アニールされたウエハ、あるいはエピタキシャルシリコンウエハなどを用いることができる。勿論、シリコンウエハのみならずGaAs基板やInP基板等の化合物半導体基板も用いることができる。

【0031】また、分離方法としては、分離層側面付近に液体や気体等の流体を噴きつけたり、流体による高圧を静圧下で印加する方法がある。静圧下で分離するには、例えば次のような圧力印加機構が必要になる。即ち、部材の周辺部の少なくとも一部を取り囲んで密閉空*

電流密度	: 7 (mA・cm ⁻²)
陽極化成溶液	: HF:H ₂ O:C ₂ H ₅ OH=1:1:1
時間	: 11 (分)
多孔質Siの厚み	: 12 (μm)

多孔質Si層は、当該多孔質Si層上に高品質エピタキシャルSi層を形成させることができ、さらに分離層として用いることができるよう多孔度を調整した。具体的には20%であった。なお、多孔質Si層の厚さは、上記の厚さに限らず、数百μmから0.1μm程度まで使用できあ

る。

【0036】多孔質Si層の厚さは、これに限っておらず、数百μmから0.1μm程度まで使用できる。

【0037】この単結晶Si基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。この多孔質Si層の表面をフッ酸で処理し、孔の内壁の酸化膜を残して、多孔質Si層の表面の酸化膜のみ除去した後、多孔質Si上にCV D (Chemical Vapor Deposition) 法により単結晶Siを0.15μmエピタキシャル成長した。成長条件は以下の通りである。

ソースガス	: SiH ₂ Cl ₂ /H ₂
ガス流量	: 0.5/180 l/min
ガス圧力	: 8.0 Torr
温度	: 950℃
成長速度	: 0.3 μm/min

エピタキシャル成長に先立って、水素含有雰囲気中の熱処理を行った。これは、表面孔を封止するために行う。本熱処理に加えて、微小なSi原子を原料ガスなどにより付加し、その表面孔封止を補っても良い。

【0038】ここに出来た基板は、通常用いられているエピウエハと同一のウエハとして扱うことが出来る。異

*間を構成するための密閉空間構成部材、及び前記密閉空間内に外部の空間よりも高い圧力が印加できる圧力印加機構である。液体としては、水、エッチング液、アルコール、そして気体としては、空気、窒素、アルゴンガスなどである。更に、流体に超音波を印加しておくことも可能である。

【0032】なお、とりわけ分離層を水素等のイオン注入により作製した場合には、400℃から600℃程度の熱処理を施すことで、イオン注入により形成される微小気泡層が凝集するので斯かる現象を利用して分離することもできる。

【0033】その他、引っ張り、剪断、圧縮等の外力によって分離したり、レーザー等により分離層を加熱して分離することができる。

【0034】以下、本発明の実施例について説明する。

【0035】（実施例1）300mm直径の比抵抗0.01Ω・cmのP型あるいはN型の第1の単結晶Si基板を、HF溶液中において陽極化成を行った。陽極化成条件は以下のとおりであった。

なるのは、エピ層の下に多孔質層が形成されていることのみである。

【0039】このエピ層に、ウエハの中央に対角11イン치의active matrixLCD用のスイッチング素子、その周辺部に周辺シフトレジスタ、駆動回路、マイクロプロセッサ、ロジックIC、メモリ等の周辺回路を作製した。LSIの作製は、通常と全く同じ工程を通すことにより、従来と同一の性能を持つLSIを作製できた。

【0040】なお、液晶表示部は以下のよう形成される。

- 1) 半導体層の形成（たとえば0.15μm）。これはすでにエピタキシャル層として形成されている。
- 2) ゲート絶縁層形成（たとえば0.1μm）。
- 3) 上記2層のパターニング（メザ型エッチング、LOCOS、トレンチ等）。
- 4) ゲート電極の形成（低抵抗多結晶Siにより形成し、厚さとしては例えば0.5μm）。ボロンやリン等のドーピング工程も含む。
- 5) ゲート電極のパターニング。
- 6) ソース・ドレインへのイオン注入。
- 7) 絶縁層形成（たとえば0.7μm）。
- 8) 配線とドレイン電極のためのコンタクトホール形成。
- 9) 配線用Al形成後、パターニング（たとえば0.6μm）。
- 10) 層間絶縁膜形成（たとえば0.6μm）。
- 11) コンタクトホール形成（基板側酸素電極）。

- 12) IT0等の絵素電極形成。
 13) 配向膜の形成。
 14) IT0等の透明対向電極を透明ガラス基板全面に形成(対向基板)。
 15) TN型液晶品を注入。

【0041】こうして、アクティブマトリックス液晶表示セルが完成する。なお、エビタキシャル層形成後デバイス形成に先立って、当該エビタキシャル層を酸素雰囲気中で熱処理することも好ましいものである。

【0042】上記3)の半導体層のパターニングのところで絵素部の半導体層(本発明では、エビタキシャル層)を完全に除去する(上述の実施形態2に該当)。これにより、後に多孔質層で分離し、残留多孔質Siを除去した後は、絵素部が光が十分に透過することになる。

【0043】なお、絵素部のSi層を除去しなくても良い。その場合には、多孔質層で分離し、残留多孔質を除去した後、絵素部のSi層を裏面からくり貫くことにより光が透過するようにしてもよい(上述の実施形態1に該当)。また、反射方式で用いる場合にはこのような工程は不要である。

【0044】なお、残留多孔質層をそのままにしておくことも可能である。多孔質Si層の残留Si領域は空乏化しており、高抵抗化されている。これにより一種SOI的なデバイスの高速化、低消費電力化が可能となる。

【0045】素子分離にトレンチを用いる場合には、周辺回路素子部の面積の縮小化やスイッチング素子の縮小化が達成される。また、トレンチあるいはLOOSを多孔質Si層まで達することにより、多孔質Si層の高抵抗性と合わせて、SOI素子間分離と同様の素子間絶縁性を達成することが出来る。

【0046】次に、分離層として機能する多孔質Si層で分離を行った。分離には、流体の圧力を利用した。流体には、気体、液体、あるいは、それらに固体の粒子・粉末を含有したものがある。この実施例では、ウォータージェット(以下「WJ」と記述する)を記述するが、エアージェット、窒素ガスジェット、その他気体ジェット、水以外の液体ジェット、水やプラスチック片、研磨材の混ざった流体ジェット、あるいはこれらの静圧を印加することも可能である。流体は非常に微小な隙間へも流入し内部の圧力を上げることが可能で、外圧を分散して印加できることが特徴である。また、一部に極端に圧力がかからないことから、もつとも分離しやすい個所を選択的に分離させるという特徴がある。本発明のように、半

導体デバイスがすでに作製されている薄層全面を分離するには、最適な手段である。

【0047】分離の際には、透明ガラス基板全面が第1基板の表面側を支えている。ただし、ガラス基板の代わりに、フレキシブルシート、プラスチック基板等を用いても良い。

【0048】透明ガラス基板全面で支えた第1の基板のエッジ付近に流体を印加し、多孔質Si層を全面で分離する。

- 10 【0049】デバイス層側に残留した多孔質Siは、除去しなくても良いが、透過型で使用する場合には、少なくとも絵素部の裏面に残留している多孔質Si層は除去し、さらに表面側からエビ層を除去していない場合には、ここで、エビ層を除去する。エビ層を除去した後、透明樹脂や流動性ガラス等を埋め込んでも良い。

【0050】液晶表示領域以外の部分にヒートシンク等を貼り付けることにより、熱放散性を向上させることができる。

- 20 【0051】液晶表示部に単結晶Si層を使用できるで、微小化しても高速スイッチングが可能で高精細液晶表示装置になる。

【0052】表示領域、周辺回路領域ともに薄層化できるのでフレキシブルフィルム状の表示装置が作製可能である。また、周辺デバイスをも一体に作製することによって、コンピューターに必要なデバイス部を表示装置周辺に作りこみ、ディスプレイ型コンピューターの作製も可能となる。

- 30 【0053】一方、分離して残った基板側は、残留多孔質層を除去して、必要であれば、エッジ等に残ったデバイス工程で形成された層を除去して、さらに必要であれば表面再研磨をして、再度同じ工程に投入できた。あるいは、別目的の基板として利用できる。例えばダミーウエハである。

【0054】なお、残された基板を表示装置の作製に利用する工程を繰り返す場合、デバイスを形成する層は、繰り返しの度に新規にエビタキシャル成長した層であるので、繰り返すことによるデバイスや液晶表示部の劣化は認められなかった。

- 40 【0055】実施例2) 実施例1)においては、多孔質層は1層であったが、本実施例においては、多孔度の異なる2層構成の多孔質層とした。

【0056】まず、単結晶シリコン基板表面の陽極化を以下の条件で行った。

電流密度	: 8 (mA・cm ⁻²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
時間	: 5 (分)
多孔質Siの厚み	: 6 (μm)
その後、以下の条件で陽極化成を行った。	
電流密度	: 33 (mA・cm ⁻²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1

時間 : 80 (秒)
多孔質 Si の厚み : 3 (μm)

こうして、単結晶シリコン基板側から多孔度 45% の高多孔度層、更にその上に多孔度 20% の低多孔度層が形成された。その後、実施例 1 と同様の工程を経て、表示装置を作製した。

【0057】なお、2層の多孔質層の厚さは、6 μm / 3 μm の構成でなくてもよく、陽極化成条件を変えることによって、厚さを可変させることができる。

【0058】陽極化成液は、HF : H₂O : C₂H₅O H = 1 : 1 : 1 でなくても良い。また、エタノールの代わりに IPA (イソプロピルアルコール) 等の他のアルコールを用いても良い。アルコールは界面活性剤として反応泡のウエハ表面付着を防止することを目的としているので、アルコールでなくて他の界面活性剤でもよいし、界面活性剤を添加せずに超音波で表面付着泡を除去してもよい。

【0059】(実施例 3) 抵抗率 14 Ω・cm の P 型の単結晶 Si 基板を用意した。面方位は <100> であった。この単結晶 Si 基板表面に、表示領域にはスイッチング素子として TFT を、周辺回路としては駆動回路、メモリ、マイクロプロセッサを作製した。

【0060】その後、素子、回路形成層側から、所定の深さ (本実施例では、表面側から 10 μm の深さ) に水素イオンを注入してイオン注入層を形成した。注入量は、数 E16 から E17 / cm² であった。注入に際して、最表面に保護膜を形成しておいてもよい。

【0061】次に、実施例 1 と同様の方法により、画像表示部を作製した。その後、流体として水をイオン注入層側面に噴きつけて分離を行った。あるいは、400℃ ~ 6

00℃ で熱処理することで行うこともできる。

【0062】なお、表示装置の作製に市販の 6 インチ、8 インチ、12 インチの単結晶シリコンウエハを用い得ることは勿論勿論であるが、円形のウエハの周囲を削除し、四角形状にした後、表示領域、周辺領域等を作製することもできる。

【0063】

【発明の効果】本発明により表示領域及び周辺回路領域を備える半導体装置を薄膜化することができる。また、表示領域及び周辺回路領域を 1 枚のウエハ上に配することにより、ディスプレイをコンパクトかつ薄型化が可能となる。

【図面の簡単な説明】

【図 1】本発明の実施形態の一例を示す模式的断面図である。

【図 2】本発明の実施形態の一例を示す模式的断面図である。

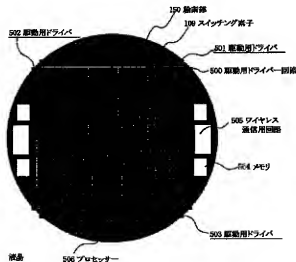
【図 3】本発明における表示装置を上面から見た模式図である。

【図 4】従来例を説明する為の模式的断面図である。

【符号の説明】

100 分離層
110 半導体膜
111 表示領域
112 周辺領域
113 画像表示部
120 部材
130 半導体領域

【図 3】



F ターム (参考) 2H092 HA04 JA24 MA05 MA07 MA24
MA27 PA01 PA06 QA07
5G094 AA15 BA03 BA43 CA19 DA14
DA15 DB04 EA04 EA07 EB02
FB12 FB14 FB15
5F045 AA03 AB02 AC05 AD13 AE25
AF03 HA16
5F110 AA23 AA30 BB03 BB05 BB09
CC02 DD05 DD30 EE09 GG02
GG04 GG12 GG24 GG42 GG43
GG44 HJ13 HL03 HL07 NN02
NN03 NN62 NN66 NN72 NN73
QQ16 QQ30
5G435 AA18 BB05 BB06 BB11 BB12
EE33 EE37 KK05